

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004年12月16日 (16.12.2004)

PCT

(10) 国際公開番号
WO 2004/109916 A1

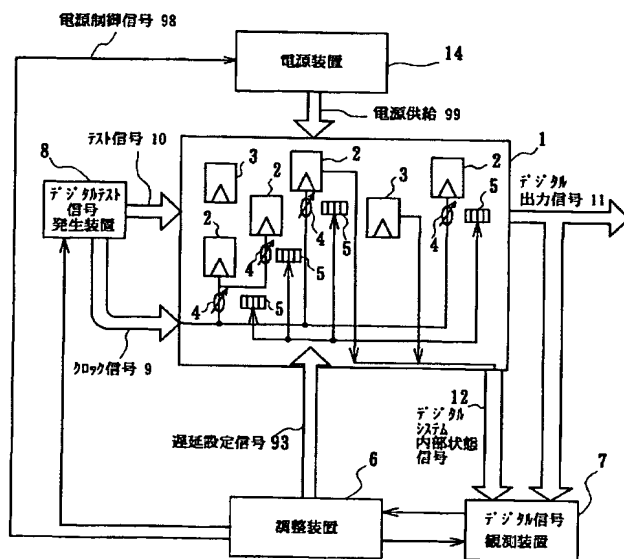
- (51) 国際特許分類: H03K 5/00
- (21) 国際出願番号: PCT/JP2004/007683
- (22) 国際出願日: 2004年6月3日 (03.06.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-162118 2003年6月6日 (06.06.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 独立行政法人産業技術総合研究所 (NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY) [JP/JP]; 〒1008921 東京都千代田区霞が関1丁目3番1号 Tokyo (JP).

- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 高橋 栄一 (TAKAHASHI, Eiichi) [JP/JP]; 〒3058568 茨城県つくば市梅園1-1-1中央第2独立行政法人産業技術総合研究所内 Ibaraki (JP). 村川 正宏 (MURAKAWA, Masahiro) [JP/JP]; 〒3058568 茨城県つくば市梅園1-1-1中央第2独立行政法人産業技術総合研究所内 Ibaraki (JP). 河西 勇二 (KASAI, Yuji) [JP/JP]; 〒3058568 茨城県つくば市梅園1-1-1中央第2独立行政法人産業技術総合研究所内 Ibaraki (JP). 樋口 哲也 (HIGUCHI, Tetsuya) [JP/JP]; 〒3058568 茨城県つくば市梅園1-1-1中央第2独立行政法人産業技術総合研究所内 Ibaraki (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,

/続葉有/

(54) Title: DIGITAL SYSTEM, CLOCK SIGNAL ADJUSTING METHOD FOR DIGITAL SYSTEM, RECORDING MEDIUM RECORDING PROCESSING PROGRAM EXECUTED IN THE ADJUSTING METHOD

(54) 発明の名称: デジタルシステム、デジタルシステムのクロック信号調整方法および、その調整方法で実行する処理プログラムを記録した記録媒体



- 98...POWER SUPPLY CONTROL SIGNAL
14...POWER SUPPLY DEVICE
99...POWER SUPPLY
8...DIGITAL TEST SIGNAL GENERATOR
10...TEST SIGNAL
9...CLOCK SIGNAL
11...DIGITAL OUTPUT SIGNAL
93...DELAY SET SIGNAL
12...DIGITAL SYSTEM INTERNAL STATUS SIGNAL
6...ADJUSTING DEVICE
7...DIGITAL SIGNAL OBSERVING DEVICE

(57) Abstract: A digital system (1) which performs a digital processing according to a single or a plurality of clock signals to deliver a specified basic function, and which comprises a plurality of delay elements (4) respectively inserted into a plurality of clock circuits for supplying clock signals in a digital system, and respectively constituted by circuit elements for changing delay times according to values indicated by a control signal, and a plurality of holding circuits (5) for holding a plurality of control signals to be given to a plurality of delay elements. The plurality of holding circuits have a plurality of control signal values, held by these holding circuits, changed by external devices (6-8) according to a probabilistic search method with the digital system (1) supplied with power from a variable-output-voltage power supply (14) so that the basic function of the digital system satisfies specified specifications.

(57) 要約: 単一もしくは複数のクロック信号に従いデジタル処理を行って所定の基本的機能を奏するデジタルシステム1において、デジタルシステム内の、クロック信号を供給する複数のクロック回路にそれぞれ介挿されるとともに、制御信号が示す値に応じて遅延時間を変化させる回路素子で各々構成された複数の遅延素子4と、複数の遅延素子に与える複数の制御信号を保持する複数の保持回路5と、を具える。複数の保持回路は、出力電圧可変の電源装置14からデジタルシステム1が電源を供給された状態で、それらの保持回路が保持する複数の制御信号の値を外部装置6~8により、確率的探索手法に従って、デジタルシステムの基本的機能が所定の仕様を満たすように変更される。



ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。